

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243490

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 0 1 L 27/04
21/76

識別記号

C 8427-4M
J 9169-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-44857

(22)出願日 平成4年(1992)3月2日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 岩井 圭一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

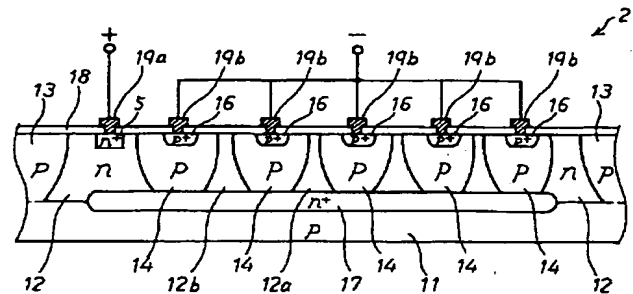
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 容量および耐電圧のいずれもが高い容量素子を備える半導体装置を実現すること。

【構成】 半導体装置2は、p-型の半導体基板11の表面側に、分離拡散層13によってpn接合分離された半導体島領域たるn型のエピタキシャル層12を有し、このエピタキシャル層12の内部には、その表面側から埋込み層17にまで拡散形成されて、エピタキシャル層12および埋込み層17と接合容量を形成する拡散層14を有する。ここで、拡散層14と分離拡散層13とは同時に拡散形成された領域である。



1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表面側には、第2導電型のエピタキシャル層と、このエピタキシャル層に島状に素子分離され、第2導電型の埋込み層を備える第2導電型の半導体島領域と、この半導体島領域の表面側から前記埋込み層にまで拡散形成されて、前記半導体島領域および前記埋込み層とpn接合容量を形成すべき第1導電型の拡散領域と、を有することを特徴とする半導体装置。

【請求項2】 請求項1において、前記第1導電型の拡散領域は、前記半導体島領域に複数形成されていることを特徴とする半導体装置。

【請求項3】 請求項1または請求項2において、前記半導体島領域は前記エピタキシャル層に形成された第1導電型の分離拡散層によってpn接合分離された状態にあり、前記第1導電型の拡散領域と前記分離拡散層とは同時形成された領域であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はpn接合容量を利用した容量素子を備える半導体装置に関し、特に、容量素子の構造技術に関する。

【0002】

【従来の技術】 半導体装置においては、その半導体基板の表面側に、トランジスタの他にも、抵抗、容量、ダイオードなども構成され、これらの素子のうち、容量素子については、酸化膜（絶縁膜）の絶縁膜容量を利用したものが一般的である。たとえば、図3に示す半導体装置30では、p-型の半導体基板31の表面側に、n型のエピタキシャル層32と、このエピタキシャル層32の表面側から半導体基板31にまで形成されて、エピタキシャル層32を半導体島領域に素子分離するp型の分離拡散層33とを有し、さらに、エピタキシャル層32の表面側には、負電極36bが導電接続するp+型の拡散層34と、その表面側に形成された酸化膜35と、その表面側に形成された正電極36aとを有し、それらによって、導体-絶縁膜-導体の3層構造、すなわち、酸化膜35の絶縁膜容量を利用した容量素子（コンデンサ）が構成されている。ここで、コンデンサ容量は酸化膜35の厚さに反比例するため、その膜厚さは必要な容量に応じて制御され、たとえば、一般的な半導体装置において、その酸化膜35の厚さは約250Åに制御されている。

【0003】

【発明が解決しようとする課題】 しかしながら、絶縁膜容量を利用した容量素子において、そのコンデンサ容量は酸化膜35の膜厚さに反比例する一方、その耐電圧は酸化膜35の膜厚さに比例し、コンデンサ容量と耐電圧とは二律背反の関係にあるため、容量および耐電圧のい

2

ずれをも満足する構造とすることが不可能であるという問題点を有する。

【0004】 たとえば、従来の半導体装置30において、酸化膜35の厚さを250Åに設定した場合には、その耐電圧は約7Vであり、それ以上の電圧が印加される回路に用いるには、酸化膜35の膜厚さを厚くする必要があるが、その膜厚さを厚くすると、容量の低下を招来する。従って、容量を高く維持しながら、耐電圧を向上させるには、単位面積当たりの容量は犠牲になるが、酸化膜35を厚くして、耐電圧を確保する一方で、その酸化膜35に対する電極対向面積を拡張せざるを得ず、半導体装置の小型化および高密度化を妨げる結果となる。

【0005】 以上の問題点に鑑みて、本発明の課題は、半導体装置を小型化、高集積化したまま、容量および耐電圧のいずれをも向上可能な半導体装置を実現することにある。

【0006】

【課題を解決するための手段】 上記問題点を解決するために、本発明が半導体装置において講じた手段は、第1導電型の半導体基板の表面側には、第2導電型のエピタキシャル層と、このエピタキシャル層に島状に素子分離され、第2導電型の埋込み層を備える第2導電型の半導体島領域とを有する半導体装置に対して、この半導体島領域の表面側から前記埋込み層にまで拡散形成して、半導体島領域および埋込み層とpn接合容量を形成する第1導電型の拡散領域を形成することである。

【0007】 ここで、第1導電型の拡散領域と半導体島領域および埋込み層とのpn接合面積を拡張してpn接合容量を高める目的に、第1導電型の拡散領域を、半導体島領域に複数形成することが好ましい。

【0008】 また、半導体島領域はエピタキシャル層に形成された第1導電型の分離拡散層によってpn接合分離されている場合には、その分離拡散層と第1導電型の拡散領域とを同時形成することが好ましい。

【0009】

【作用】 斯かる手段を講じた本発明に係る半導体装置においては、半導体島領域と、第1導電型の拡散領域とのpn接合面が広い面積をもって形成されており、この接合領域に生じる空乏層の容量（空乏層容量）を半導体装置の容量として利用することができる。さらに、第1導電型の拡散領域は、埋込み層ともpn接合面を形成しているため、そのpn接合容量も容量として利用できる。このため、容量が高いコンデンサを構成できると共に、空乏層はpn接合の接合領域において、p型半導体と、n型半導体との電位差による電位障壁が生じてキャリア（電子および正孔）の移動を妨げている領域であり、そこに印加される電圧に応じて、空乏層の幅は広がる性質を有するため、耐電圧が高い。従って、高い容量の容量素子を構成した場合であっても、耐電圧が犠牲となら

3

ず、容量素子の形成面積を拡張することなく、容量および耐電圧のいずれもが高い容量素子を構成することができる。

【0010】また、第1導電型の拡散領域が複数形成されている場合には、その形成数を増大させる程、pn接合面積が拡張されて、容量素子を高容量化できる。しかも、いずれの第1導電型の拡散領域に対しても、埋込み層が対極として機能するため、その経路に寄生する抵抗値が低い。

【0011】このような半導体装置において、半導体島領域が第1導電型の分離拡散層によってpn接合分離されている場合には、接合容量を構成する拡散領域の拡散深さは、分離拡散層の拡散深さに比較して、同等の深さか、あるいは浅い構造であるため、それらを同時に拡散形成でき、プロセス数が増大することもない。

【0012】

【実施例】つぎに、添付図面に基づいて本発明の実施例について説明する。

【0013】〔実施例1〕図1には、実施例1に係る半導体装置の断面図を示してある。

【0014】図において、半導体装置1は、p-型（第1導電型）の半導体基板11の表面側にAs（砒素）またはSb（アンチモン）を拡散して形成されたn+型（第2導電型）の埋込み層17と、半導体基板11および埋込み層17の表面側にエピタキシャル法によって堆積されたn型のエピタキシャル層12（半導体島領域）とを有し、このエピタキシャル層12は、その表面側からB（ホウ素）が拡散されて半導体基板11にまで達するp型の拡散分離層13によって島状の半導体島領域になっている。

【0015】さらに、本例の半導体装置1においては、エピタキシャル層12の半導体島領域の内部に、拡散分離層13と同時に拡散形成されてその深部（底部）が埋込み層17にまで達するp型の拡散層14を有し、この拡散層14は、エピタキシャル層12および埋込み層17のいずれともpn接合面を構成している。さらに、エピタキシャル層12の表面側には、他の半導体領域のMOS部のゲート酸化膜あるいは層間絶縁膜と同時に形成された酸化膜18が形成されており、その接続孔を介して、エピタキシャル層12に対してはアルミニウム電極たる正電極19aが導電接続しており、拡散層14に対してはアルミニウム電極たる負電極19bが導電接続している。ここで、正電極19aはエピタキシャル層12の表面側に形成されたn+型のコンタクト拡散層15を介してエピタキシャル層12に導電接続しており、負電極19bは、拡散層14の表面側に形成されたp+型のコンタクト拡散層16を介して拡散層14に導電接続している。

【0016】このような構成の半導体装置1において、正電極19aを負電極19bに対して正の電位とする

4

と、拡散層14と、エピタキシャル層12および埋込み層17とのpn接合面が逆バイアスされた状態になり、エピタキシャル層12および埋込み層17のキャリアである電子が正電極19aの側へ、また拡散層14のキャリアである正孔は負電極19bの側へ、それぞれ引きつけられ、その印加電圧に対応した幅の空乏層が形成される。本例の半導体装置1では、その空乏層容量を利用して、容量素子を構成している。ここで、拡散層14は、エピタキシャル層12および埋込み層17のいずれともpn接合面を構成し、その接合面積が広いので、正電極19aと負電極19bとの端子間から得られる容量値が高い。しかも、空乏層の幅は印加される電圧が高いほど広がるという性質を有しているため、耐電圧も高く約30Vの印加電圧に対しても充分対応することができる。従って、半導体装置1に容量素子を形成するにあたっては、絶縁膜容量を利用した半導体装置と異なり、容量と耐電圧とが二律背反する関係にないので、容量素子の形成面積を不必要に拡張することなく、容量および耐電圧のいずれもが高い容量素子を作り込むことができる。また、空乏層容量は半導体領域の不純物の密度が高いほど大きい性質があり、本例の半導体装置1において、拡散層14はn+型の埋込み層17ともpn接合しているため、容量のレベルも高い。

【0017】さらに、本例の半導体装置1において、エピタキシャル層12は分離拡散層13により素子分離された構造にあり、この分離拡散層13は半導体基板11にまで到達している。これに対し、拡散層14は半導体基板11の表面側に形成された埋込み層17にまで到達するように形成されている。ここで、エピタキシャル層12の表面側から半導体基板11までの深さと、埋込み層17までの深さとを比較すると、埋込み層17までの方が浅い状態にある。しかも、分離拡散層13と拡散層14とは同じp型の半導体領域として形成可能である。従って、本例の半導体装置1においては、分離拡散層13と拡散層14とを同時に拡散形成して製造することができるので、その拡散工程におけるマスクパターンの変更だけで拡散層14を形成できる。それ故、プロセス数が増大せず、生産性が高い。

【0018】〔実施例2〕図2には、実施例2に係る半導体装置の断面図を示してある。なお、本装置の全体構成は、実施例1と同様に付き、同符号を付して詳細な説明を省略する。

【0019】本例の半導体装置2において着目すべき点は、エピタキシャル層12の表面側からn+型の埋込み層17にまで形成されたp型の拡散層14が複数形成され、いずれの拡散層14も、実施例1と同様に、エピタキシャル層12の表面側からB（ホウ素）を拡散することによって並列形成されて、エピタキシャル層12および埋込み層17とpn接合面を構成している。なお、これらの拡散層14は各々が接しないように形成されてお

5

り、各拡散層14に対して、その表面側には、p+型のコンタクト拡散層16を介して負電極19bが導電接続している。また、エピタキシャル層12の表面側には、コンタクト拡散層15を介して正電極19aが導電接続している。

【0020】このような構成の半導体装置2においても、実施例1に係る半導体装置1と同様に、正電極19aを負電極19bに対して正の電位とすると、拡散層14と、エピタキシャル層12および埋込み層17とのpn接合面が逆バイアスされた状態になり、エピタキシャル層12および埋込み層17のキャリアである電子が正電極19aの側へ、また拡散層14のキャリアである正孔は負電極19bの側へ、それぞれ引きつけられ、その印加電圧に対応した幅の空乏層が形成される。本例の半導体装置2では、その空乏層容量を利用して容量素子を構成している。

【0021】しかも、拡散層14はエピタキシャル層12の内部に複数形成されているので、拡散層14とエピタキシャル層12および埋込み層17とが形成するpn接合面の接合面積が広く、高い容量をもつ容量素子が形成された状態にある。ここで、いずれの拡散層14にも負電極19bが導電接続しているのに対して、エピタキシャル層12には1つの正電極19aのみが導電接続している。従って、エピタキシャル層12のうち、領域12aのように、エピタキシャル層12と正電極19aとの接続部から隔離している場合には、その間に大きな寄生抵抗が存在するが、本例においては、各領域12a、12bにまで高濃度の埋込み層17が配置された状態にある。従って、複数の拡散領域14を設けても、エピタキシャル層12の電気抵抗の影響を受けることなく、容量および耐電圧のいずれもが高い容量素子を作り込むことができる。また、空乏層容量は半導体領域の不純物の密度が高いほど大きい性質があり、本例の半導体装置2において、拡散層14がn+型の埋込み層17ともpn接合しているため、容量のレベルも高い。従って、本例の構成の半導体装置2によれば、30v以上の耐電圧を有する容量素子を、容量1pF当り、約800 μ m²の面積で形成できる。この単位容量当たりの面積は、絶縁膜容量を利用した半導体装置における酸化膜の厚さが250Åの容量素子、すなわち、10v以下の耐電圧の容量素子の占有面積に相当する。換言すれば同面積、同容量であれば耐電圧を向上することができ、同面積、同耐電圧であれば容量を向上することができる。

【0022】さらに、本例の半導体装置2においても、実施例1に係る半導体装置1と同様に、いずれの拡散層14も、埋込み層17まで形成すればよく、分離拡散層

6

13より浅い領域にまで形成すればよい。しかも、分離拡散層13と拡散層14とは同じp型の半導体領域として形成可能であるため、本例の半導体装置2においても、分離拡散層13と拡散層14とを同時に拡散形成でき、生産性が高い。

【0023】

【発明の効果】以上のとおり、本発明に係る半導体装置においては、第2導電型の半導体島領域の内部に、その表面側から埋込み層にまで拡散形成されて、半導体島領域および埋込み層とpn接合容量を形成する第1導電型の拡散領域を有することに特徴を有している。従って、本発明によれば、拡散領域は半導体島領域および埋込み層のいずれともpn接合面を構成しているため、その接合面積が広く、高い容量値を得ることができる。しかも、pn接合容量を利用しているため、耐電圧が高い。それ故、容量素子の形成領域を拡張することなく、容量および耐電圧のいずれもが高い容量素子を形成できるという効果を奏する。

【0024】また、第1導電型の拡散領域が半導体島領域に複数形成されている場合には、pn接合面積を更に拡張でき、より高い容量が得られ、しかも、埋込み層を備えているので、エピタキシャル層の電気抵抗の影響を受けない。

【0025】さらに、半導体島領域がpn接合分離された状態にある場合には、第1導電型の拡散領域と分離拡散層とを同時形成することによって、その製造プロセス数を増大させることなく、容量および耐電圧のいずれもが高い容量素子を形成できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施例1に係る半導体装置の構成を示す断面図である。

【図2】本発明の実施例2に係る半導体装置の構成を示す断面図である。

【図3】従来の絶縁膜容量を利用した半導体装置の構成を示す断面図である。

【符号の説明】

1, 2・・・半導体装置
11・・・半導体基板
12・・・エピタキシャル層
13・・・拡散分離層
14・・・拡散層
15, 16・・・コンタクト拡散層
17・・・埋込み層
18・・・酸化膜
19a・・・正電極
19b・・・負電極

